

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 0 日
Date of Application:

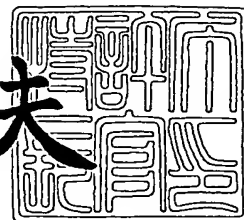
出 願 番 号 特 願 2 0 0 3 - 0 7 8 0 8 8
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 7 8 0 8 8]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 1 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 6 4 8 5

【書類名】 特許願

【整理番号】 EP-0430001

【提出日】 平成15年 3月20日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/00 580
G06F 13/28 310
G06T 1/60
G09G 5/00

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 工藤 真

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体回路、電子機器及びクロック供給制御方法

【特許請求の範囲】

【請求項 1】 半導体記憶媒体へのアクセスを行う半導体装置であって、
バスマスタとして機能する所与のバスマスタブロックと、
所与のバスマスタブロックから半導体記憶媒体へのアクセス要求に基づき、半導体記憶媒体のアクセス制御を行うバスインタフェースブロックと、
半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づきバスマスタブロックへのクロックの供給の有無を制御するクロック供給制御回路とを含み、

前記クロック供給制御回路は、
アクセス状況情報に基づき、バスインタフェースがBUSY状態であると判断した場合にはバスマスタブロックへのクロックの供給をストップさせるための制御及びバスインタフェースがBUSY状態でないと判断した場合にはバスマスタブロックへクロックを供給させるための制御の少なくとも一方を行う回路を含むことを特徴とする半導体装置。

【請求項 2】 請求項 1 において、
前記クロック供給制御回路は、
所与のバスマスタブロックの出力するリクエスト要求の終了後に所与のバスマスタブロックへのクロックの供給をストップさせる処理を行うことを特徴とする半導体装置。

【請求項 3】 バスマスタとして機能する所与のバスマスタブロックへのクロックの供給の有無を制御する半導体回路であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスマスタブロックへのクロックの供給の有無を指示するためのバスマスタクロック供給制御信号を生成する制御信号生成回路と、

前記バスマスタクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスマスタブロックへの供給の有無を制御する制御回路とを

含み、

前記制御信号生成回路は、

アクセス状況情報がアクセス実行中で有ることを示している場合には、バスマスタクロック供給制御信号をディセーブルにし、

前記制御回路は、

バスマスタクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックが所与のバスマスタブロックへ供給されないように制御する回路を含むことを特徴とする半導体回路。

【請求項 4】 請求項 3 において、

前記制御信号生成回路は、

所与のバスマスタブロックの出力するリクエスト要求の終了後にバスマスタクロック供給信号をディセーブルにすることを特徴とする半導体回路。

【請求項 5】 請求項 1 乃至 2 のいずれかに記載の半導体装置又は請求項 3 乃至 4 のいずれかに記載の半導体回路を含む半導体装置と、

入力情報を受け付ける手段と、

入力情報に基づき前記情報処理装置により処理された結果を出力するため手段と、

を含むことを特徴とする電子機器。

【請求項 6】 半導体装置におけるバスマスタブロックへのクロックの供給の有無を制御するクロック供給制御方法であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスマスタブロックへのクロックの供給の有無を指示するためのバスマスタクロック供給制御信号を生成するステップと、

前記バスマスタクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスマスタブロックへの供給の有無を制御するステップとを含み、

アクセス状況情報がアクセス実行中で有ることを示している場合には、バスマスタクロック供給制御信号をディセーブルにし、

バスマスタクロック供給信号がディセーブルである場合には、クロック発振器

から発振されたクロックが所与のバスマスタブロックへ供給されないように制御することを特徴とするクロック供給制御方法。

【請求項 7】 請求項 6 において、

所与のバスマスタブロックの出力するリクエスト要求の終了後にバスマスタクロック供給信号をディセーブルにすることを特徴とするクロック供給制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、半導体回路、電子機器及びクロック供給制御方法に関する。

【0002】

【背景技術】

SRAMやSDRAM等の半導体記憶媒体へのアクセスを行う半導体装置では電源ON状態においてCPU等のバスマスタには常にクロックが供給されていた。

【0003】

【特許文献 1】

特開平 9-83247 号公報

【0004】

【発明が解決しようとする課題】

このため、例えば低速な半導体記憶媒体アクセス待ち状態のCPUにもクロックが供給され、無駄に電力が消費されてしまっていた。

【0005】

本発明は以上のような問題点に鑑みてなされたものであり、半導体記憶媒体へのアクセスを行う半導体装置の消費電力の削減を目的とする。

【0006】

【課題を解決するための手段】

(1) 本発明は、半導体記憶媒体へのアクセスを行う半導体装置であって、バスマスタとして機能する所与のバスマスタブロックと、

所与のバスマスタブロックから半導体記憶媒体へのアクセス要求に基づき、半導体記憶媒体のアクセス制御を行うバスインタフェースブロックと、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づきバスマスタブロックへのクロックの供給の有無を制御するクロック供給制御回路とを含み、

前記クロック供給制御回路は、

アクセス状況情報に基づき、バスインタフェースがBUSY状態であると判断した場合にはバスマスタブロックへのクロックの供給をストップさせるための制御及びバスインタフェースがBUSY状態でないと判断した場合にはバスマスタブロックへクロックを供給させるための制御の少なくとも一方を行う回路を含むことを特徴とする。

(2) 本発明は、バスマスタとして機能する所与のバスマスタブロックへのクロックの供給の有無を制御する半導体回路であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスマスタブロックへのクロックの供給の有無を指示するためのバスマスタクロック供給制御信号を生成する制御信号生成回路と、

前記バスマスタクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスマスタブロックへの供給の有無を制御する制御回路とを含み、

前記制御信号生成回路は、

アクセス状況情報がアクセス実行中で有ることを示している場合には、バスマスタクロック供給制御信号をディセーブルにし、

前記制御回路は、

バスマスタクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックが所与のバスマスタブロックへ供給されないように制御する回路を含むことを特徴とする。

(3) 本発明の電子機器は、

上記のいずれかに記載の半導体装置又は上記いずれかに記載の半導体回路を含む半導体装置と、

入力情報を受け付ける手段と、
入力情報に基づき前記情報処理装置により処理された結果を出力するため手段と、
を含むことを特徴とする。

(4) 本発明は、半導体装置におけるバスマスタブロックへのクロックの供給の有無を制御するクロック供給制御方法であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスマスタブロックへのクロックの供給の有無を指示するためのバスマスタクロック供給制御信号を生成するステップと、

前記バスマスタクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスマスタブロックへの供給の有無を制御するステップとを含み、

アクセス状況情報がアクセス実行中で有ることを示している場合には、バスマスタクロック供給制御信号をディセーブルにし、

バスマスタクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックが所与のバスマスタブロックへ供給されないように制御することを特徴とする。

【0007】

【発明の実施の形態】

1. 本実施の形態の特徴

(1) 本実施の形態は、半導体記憶媒体へのアクセスを行う半導体装置であって、

バスマスタとして機能する所与のバスマスタブロックと、

所与のバスマスタブロックから半導体記憶媒体へのアクセス要求に基づき、半導体記憶媒体のアクセス制御を行うバスインタフェースブロックと、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づきバスマスタブロックへのクロックの供給の有無を制御するクロック供給制御回路とを含み、

前記クロック供給制御回路は、

アクセス状況情報に基づき、バスインタフェースがBUSY状態であると判断した場合にはバスマスタブロックへのクロックの供給をストップさせるための制御及びバスインタフェースがBUSY状態でないと判断した場合にはバスマスタブロックへクロックを供給させるための制御の少なくとも一方を行う回路を含むことを特徴とする。

【0008】

バスマスタとして機能する所与のバスマスタブロックとは、例えばCPU、高速SRAM、MMU、キャッシュ、DMA等がある。

【0009】

アクセス状況情報に基づきバスインターフェースがBUSY状態であると判断した場合にはバスマスタブロックへのクロックの供給の有無を制御するためのバスマスタクロック制御信号をディセーブルにし、バスマスタクロック制御信号がディセーブルである場合にはバスマスタへのクロックの供給をストップさせるようにしてもよい。

【0010】

ここでアクセス状況情報として、例えばバスマスタが出力するリクエスト信号や、バスインターフェースが出力するBUSY信号や、バスインターフェースが出力するバリット信号（アクセスしたデータの送信期間にバリット信号がたつとする）等を用いるようにしてもよい。

【0011】

例えばBUSY信号を用いてバスインタフェースがBUSY状態にあるか否か判断するようにしてもよい。

【0012】

本実施の形態によれば、バスインターフェースがBUSY状態で有る場合には、CPU、高速SRAM、MMU、キャッシュ、DMAC等のバスマスタへのクロックの供給をストップすることが出来る。このため半導体記憶媒体のアクセス待ちの状態に有るバスマスタへのクロックの供給を停止して低パワー化を図り、消費電力の無駄防止を図ることが出来る。

【0013】

(2) 本実施の形態の半導体記憶装置は、
前記クロック供給制御回路は、
所与のバスマスタブロックの出力するリクエスト要求の終了後に所与のバスマスタブロックへのクロックの供給をストップさせる処理を行うことを特徴とする。

【0014】

バスマスタブロックのリクエスト要求の終了後とは、バスマスタブロック出力するリクエスト信号がリクエスト要求を下げた場合（例えばリクエスト信号がHレベルからLレベルに変化した場合）等である。

【0015】

またバスマスタブロックのリクエスト要求の終了後にバスマスタブロックに供給するクロックを停止させるとは、例えばバスマスタブロックのリクエスト要求の終了を検出してから（例えばリクエスト信号がHレベルからLレベルに変化したのを検出してから）バスマスタブロックへのクロックの供給をストップさせる場合でもよいし、またバスインタフェースブロックが非BUSY状態（アイドル状態）からBUSY状態に変化してから又は変化後少なくとも1クロック経過してから（この間にバスマスタブロックのリクエスト要求が終了する）バスマスタブロックへのクロックの供給をストップさせる場合でもよい。

【0016】

本実施の形態によれば、所与のバスマスタブロックの出力するリクエスト要求の終了後に所与のバスマスタブロックへのクロックの供給をストップさせることができるので、バスマスタがリクエストを下げる前にバスマスタへのクロックがストップされる自体を防止することが出来る。

【0017】

(3) 本実施の形態は、バスマスタとして機能する所与のバスマスタブロックへのクロックの供給の有無を制御する半導体回路であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスマスタブロックへのクロックの供給の有無を指示するためのバスマスタクロック供給制御信号を生成する制御信号生成回路と、

前記バスマスタクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスマスタブロックへの供給の有無を制御する制御回路とを含み、

前記制御信号生成回路は、

アクセス状況情報がアクセス実行中で有ることを示している場合には、バスマスタクロック供給制御信号をディセーブルにし、

前記制御回路は、

バスマスタクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックが所与のバスマスタブロックへ供給されないように制御する回路を含むことを特徴とする。

【0018】

アクセス実行中とは、少なくともバスインターフェースが半導体記憶媒体にアクセスを行っている期間（例えばバスインターフェースがBUSY状態にある期間）を含む。

【0019】

ここでアクセス状況情報として、例えばバスマスタが出力するリクエスト信号や、バスインターフェースが出力するBUSY信号や、バスインターフェースが出力するバリット信号（アクセスしたデータの送信期間にバリット信号がたつと）等を用いるようにしてもよい。

【0020】

例えばBUSY信号を用いてバスインタフェースがBUSY状態にあるか否か判断するようにしてもよい。

【0021】

本実施の形態によれば、半導体記憶媒体アクセス中である場合には、CPU、高速SRAM、MMU、キャッシュ、DMA等々のバスマスタへのクロックの供給をストップすることが出来る。このため半導体記憶媒体のアクセス待ちの状態に有るバスマスタへのクロックの供給を停止して低パワー化を図り、消費電力の無駄防止を図ることが出来る。

【0022】

(4) 本実施の形態の半導体記憶装置は、
前記制御信号生成回路は、
所与のバスマスタブロックの出力するリクエスト要求の終了後にバスマスタクロック供給信号をディセーブルにすることを特徴とする。

【0023】

バスマスタブロックのリクエスト要求の終了後とは、バスマスタブロック出力するリクエスト信号がリクエスト要求を下げた場合（例えばリクエスト信号がHレベルからLレベルに変化した場合）等である。

【0024】

またバスマスタブロックのリクエスト要求の終了後にバスマスタブロックに供給するクロックを停止させるとは、例えばバスマスタブロックのリクエスト要求の終了を検出してから（例えばリクエスト信号がHレベルからLレベルに変化したのを検出してから）バスマスタブロックへのクロックの供給をストップさせる場合でもよいし、またバスインタフェースブロックが非BUSY状態（アイドル状態）からBUSY状態に変化してから又は変化後少なくとも1クロック経過してから（この間にバスマスタブロックのリクエスト要求が終了する）バスマスタブロックへのクロックの供給をストップさせる場合でもよい。

【0025】

本実施の形態によれば、所与のバスマスタブロックの出力するリクエスト要求の終了後に所与のバスマスタブロックへのクロックの供給をストップさせることができるので、バスマスタがリクエストを下げる前にバスマスタへのクロックがストップされる自体を防止することが出来る。

【0026】

(5) 本実施の形態の電子機器は、
上記のいずれかに記載の半導体装置又は上記いずれかに記載の半導体回路を含む半導体装置と、
入力情報を受け付ける手段と、
入力情報に基づき前記情報処理装置により処理された結果を出力するため手段と、

を含むことを特徴とする。

【0027】

(6) 本実施の形態は、半導体装置におけるバスマスタブロックへのクロックの供給の有無を制御するクロック供給制御方法であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスマスタブロックへのクロックの供給の有無を指示するためのバスマスタクロック供給制御信号を生成するステップと、

前記バスマスタクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスマスタブロックへの供給の有無を制御するステップとを含み、

アクセス状況情報がアクセス実行中で有ることを示している場合には、バスマスタクロック供給制御信号をディセーブルにし、

バスマスタクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックが所与のバスマスタブロックへ供給されないように制御することを特徴とする。

【0028】

(7) 本実施の形態のクロック供給制御方法は、

所与のバスマスタブロックの出力するリクエスト要求の終了後にバスマスタクロック供給信号をディセーブルにすることを特徴とする。

【0029】

以下、本実施の形態の好適な実施形態について図面を用いて詳細に説明する。

【0030】

(8) 本実施の形態は、半導体記憶媒体へのアクセスを行う半導体装置であって、

バスマスタとして機能する所与のバスマスタブロックと、

所与のバスマスタブロックから半導体記憶媒体へのアクセス要求に基づき、半導体記憶媒体のアクセス制御を行うバスインターフェースブロックと、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づきバスインターフェースブロックへのクロックの供給の有無を制御するクロック供給制御

回路とを含み、

前記クロック供給制御回路は、

アクセス状況情報に基づき、アクセス実行中でないと判断した場合にはバスインターフェースブロックへのクロックの供給をストップさせるための制御及びバスインターフェースがアクセス実行中であると判断した場合にはバスインターフェースブロックへクロックを供給させるための制御の少なくとも一方を行う回路を含むことを特徴とする。

【0031】

バスマスタとして機能する所与のバスマスタブロックとは、例えばCPU、高速SRAM、MMU、キャッシュ、DMA等がある。

【0032】

アクセス状況情報に基づきアクセス実行中でないと判断した場合にはバスインターフェースブロックへのクロックの供給の有無を制御するためのバスインターフェースクロック制御信号をディセーブルにし、バスインターフェースクロック制御信号がディセーブルで有る場合にはバスインターフェースへのクロックの供給をストップさせるようにしてもよい。

【0033】

ここでアクセス状況情報として、例えばバスマスタが出力するリクエスト信号や、バスインターフェースが出力するBUSY信号や、バスインターフェースが出力するバリット信号（アクセスしたデータの送信期間にバリット信号がたつとする）等を用いるようにしてもよい。

【0034】

例えばBUSY信号及びリクエスト信号を用いてリクエスト中またはBUSY状態にある場合をアクセス実行中であると判断してもよいし、BUSY信号及びリクエスト信号及びバリット信号を用いてリクエスト中またはBUSY状態またはバリット中にある場合をアクセス実行中であると判断してもよい。

【0035】

本実施の形態によれば、アクセス実行中である場合には、バスインターフェースへのクロックの供給をストップすることが出来る。このためアイドル状態に有

るバスインターフェースへのクロックの供給を停止して低パワー化を図り、消費電力の無駄防止を図ることが出来る。

【0036】

(9) 本実施の形態の半導体記憶装置は、
前記バスインタフェースブロックは、
異なる半導体記憶媒体へのアクセス実行時に共通してアクセス制御に必要な動作を行う共通バスインタフェースブロックと、
所定の半導体記憶媒体へのアクセス実行時にのみアクセス制御に必要な動作を行う専用バスインタフェースブロックとを含み、
前記クロック供給制御回路は、
どの半導体記憶媒体に対しアクセス実行対象であるかを示すアクセス媒体情報に基づきアクセス実行対象でない半導体記憶媒体を検出し、アクセス実行対象でない半導体記憶媒体の専用バスインタフェースブロックへのクロックの供給をストップさせ、共通バスインタフェースブロックと、アクセス実行対象である半導体記憶媒体の専用バスインタフェースブロックにクロックが供給されるように制御することを特徴とする。

【0037】

本実施の形態によればバスインタフェースがアクセス実行中であっても、アクセス実行対象でない半導体記憶媒体の専用バスインタフェースブロックへのクロックの供給をストップさせることができるので、よりきめ細かく消費電力の削減を図ることが出来る。

【0038】

(10) 本実施の形態の半導体記憶装置は、
前記クロック供給制御回路は、
バスインタフェースブロックの出力するバリット信号終了後にバスインタフェースブロックへのクロックの供給をストップさせる処理を行うことを特徴とする。

【0039】

バスインタフェースブロックの出力するバリット信号終了後とは、バスイン

ターフェースブロック出力するバリット信号が例えばHレベルからLレベルに変化した場合等である。

【0040】

バスインターフェースブロックの出力するバリット信号終了後にバスインターフェースブロックに供給するクロックをストップさせるとは、例えばバスインターフェースブロックがバリット信号を出力したのを検出してからバスインターフェースブロックに供給するクロックを停止させるようにしてもよいし、またバスインターフェースブロックがBUSY状態から非BUSY状態に変化してから（BUSY信号がHレベルからLレベルに変化してから）又は変化後少なくとも1クロック以上経過してから（この間にバスインターフェースブロックがバリット信号を出力する）バスインターフェースブロックに供給するクロックを停止させる場合でもよい。

【0041】

このようにすることでバスインターフェースがバリット信号をさげるまでバスインターフェースブロックにクロックを供給することが出来る。

【0042】

(11) 本実施の形態は、バスマスタブロックから半導体記憶媒体へのアクセス要求に基づき、半導体記憶媒体のアクセス制御を行うバスインタフェースブロックへのクロックの供給の有無を制御する半導体回路であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスインタフェースブロックへのクロックの供給の有無を指示するためのバスインタフェースクロック供給制御信号を生成する制御信号生成回路と、

前記バスインタフェースクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスインタフェースブロックへの供給の有無を制御する制御回路とを含み、

前記制御信号生成回路は、

アクセス状況情報がアクセス実行中でないことを示している場合には、バスインタフェースクロック供給制御信号をディセーブルにし、

前記制御回路は、

バスインタフェースクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックがバスインタフェースブロックへ供給されないように制御する回路を含むことを特徴とする。

【0043】

アクセス実行中とは、少なくともバスインターフェースが半導体記憶媒体にアクセスを行っている期間（例えばバスインターフェースがBUSY状態にある期間）を含む。

【0044】

ここでアクセス状況情報として、例えばバスマスタが出力するリクエスト信号や、バスインターフェースが出力するBUSY信号や、バスインターフェースが出力するバリット信号（アクセスしたデータの送信期間にバリット信号がたつとする）等を用いるようにしてもよい。

【0045】

例えばBUSY信号及びリクエスト信号を用いてリクエスト中またはBUSY状態にある場合をアクセス実行中であると判断してもよいし、BUSY信号及びリクエスト信号及びバリット信号を用いてリクエスト中またはBUSY状態またはバリット中にある場合をアクセス実行中であると判断してもよい。

【0046】

本実施の形態によれば、アクセス実行中である場合には、バスインターフェースへのクロックの供給をストップすることが出来る。このためアイドル状態に有るバスインターフェースへのクロックの供給を停止して低パワー化を図り、消費電力の無駄防止を図ることが出来る。

【0047】

(12) 本実施の形態の半導体回路は、
前記バスインタフェースブロックは、
異なる半導体記憶媒体へのアクセス実行時に共通してアクセス制御に必要な動作を行う共通バスインタフェースブロックと、
所定の半導体記憶媒体へのアクセス実行時にのみアクセス制御に必要な動作を行う専用バスインタフェースブロックとを含み、

前記制御信号生成回路は、

バスインタフェースブロックがどの半導体記憶媒体がアクセス実行対象であるかを示すアクセス媒体情報に基づきアクセス実行対象でない半導体記憶媒体を検出し、アクセス実行対象でない半導体記憶媒体の専用バスインタフェースブロックへの専用バスインタフェースクロック供給信号をディセーブルにし、

前記制御回路は、

専用バスインタフェースクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックがアクセス実行対象でない半導体記憶媒体の専用バスインタフェースブロックへ供給されないように制御する回路を含むことを特徴とする。

【0048】

本実施の形態によればバスインターフェースがアクセス実行中であっても、アクセス実行対象でない半導体記憶媒体の専用バスインターフェースブロックへのクロックの供給をストップさせることができるので、よりきめ細かく消費電力の削減を図ることが出来る。

【0049】

(13) 本実施の形態の半導体回路は、

前記御信号生成回路は、

バスインターフェースブロックからのバリット信号終了後に専用バスインタフェースクロック供給信号をディセーブルにすることを特徴とする。

【0050】

バスインターフェースブロックの出力するバリット信号終了後とは、バスインターフェースブロック出力するバリット信号が例えばHレベルからLレベルに変化した場合等である。

【0051】

バスインターフェースブロックの出力するバリット信号終了後にバスインターフェースブロックに供給するクロックをストップさせるとは、例えばバスインターフェースブロックがバリット信号を出力したのを検出してからバスインターフェースブロックに供給するクロックを停止させるようにしてもよいし、またバス

インターフェースブロックがBUSY状態から非BUSY状態に変化してから（BUSY信号がHレベルからLレベルに変化してから）又は変化後少なくとも1クロック以上経過してから（この間にバスインターフェースブロックがバリット信号を出力する）バスインターフェースブロックに供給するクロックを停止させる場合でもよい。

【0052】

このようにすることでバスインターフェースがバリット信号をさげるまでバスインターフェースブロックにクロックを供給することが出来る。

【0053】

（14）本実施の形態は、上記のいずれかに記載の半導体装置又は上記のいずれかに記載の半導体回路を含む半導体装置と、

入力情報を受け付ける手段と、

入力情報に基づき前記情報処理装置により処理された結果を出力するため手段と、

を含むことを特徴とする。

【0054】

（15）本実施の形態は、半導体装置におけるバスインタフェースブロックへのクロックの供給の有無を制御するクロック供給制御方法であって、

半導体記憶媒体に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスインタフェースブロックへのクロックの供給の有無を指示するためのバスインタフェースクロック供給制御信号を生成するステップと、

前記バスインタフェースクロック供給制御信号に基づき、クロック発振器から発振されたクロックの所与のバスインタフェースブロックへの供給の有無を制御するステップとを含み、

アクセス状況情報がアクセス実行中でないことを示している場合には、バスインタフェースクロック供給制御信号をディセーブルにし、

バスインタフェースクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックがバスインタフェースブロックへ供給されないように制御することを特徴とする。

【0055】

(16) 本実施の形態のクロック供給制御方法は、
前記バスインタフェースブロックは、
異なる半導体記憶媒体へのアクセス実行時に共通してアクセス制御に必要な動作を行う共通バスインタフェースブロックと、
所定の半導体記憶媒体へのアクセス実行時にのみアクセス制御に必要な動作を行う専用バスインタフェースブロックとを含み、
バスインタフェースブロックがどの半導体記憶媒体がアクセス実行対象であるかを示すアクセス媒体情報に基づきアクセス実行対象でない半導体記憶媒体を検出し、アクセス実行対象でない半導体記憶媒体の専用バスインタフェースブロックへの専用バスインタフェースクロック供給信号をディセーブルにし、
専用バスインタフェースクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックがアクセス実行対象でない半導体記憶媒体の専用バスインタフェースブロックへ供給されないように制御することを特徴とする。

【0056】

(17) 本実施の形態のクロック供給制御方法は、
バスインターフェースブロックからのバリット信号終了後に専用バスインタフェースクロック供給信号をディセーブルにすることを特徴とする。

【0057】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

【0058】

2. 半導体回路、半導体装置

図1は、本実施の形態の半導体装置、半導体回路の一例について説明するための図である。

【0059】

本実施の形態の半導体装置10は、外部又は内部の半導体記憶媒体90（例えばSRAM（Static Random Access Memory）92，SDRAM（Static Random Access Memory）94，ROM（Read Only Memory）96等）へのアクセスを行

う半導体装置である。

【0060】

本実施の形態の半導体装置 10 は、バスマスタ 20 として機能する所与のバスマスタブロック 20（例えば CPU（広義には、処理回路）22、高速 SRAM 24、MMU（Memory Management Unit）26、キャッシュ 28、DMAC（Direct Memory Access Controller）30 の少なくとも一つ）を含む。

【0061】

また本実施の形態の半導体装置 10 は、所与のバスマスタブロック 20 から半導体記憶媒体へのアクセス要求に基づき、半導体記憶媒体のアクセス制御を行うバスインタフェース 40 をふくむ。

【0062】

また本実施の形態の半導体装置 10 は、クロック供給制御回路 70 を含む。クロック供給制御回路 70 は、半導体記憶媒体 90 に対するアクセス状況を示すアクセス状況情報（例えば BUSY 情報 50、リクエスト信号 34、バリット信号 54 の少なくとも一つ）がアクセス実行中で有ることを示している場合にはバスマスタブロック 20 へのクロック 32 の供給をストップさせる処理を行うようにしてもよい。

【0063】

またクロック供給制御回路 70 は、アクセス状況情報（例えば BUSY 情報 50、リクエスト信号 34、バリット信号 54 の少なくとも一つ）がアクセス実行中でないことを示している場合にはバスインタフェースブロック 40 へのクロック 76、78、80、82 の供給をストップさせる処理を行うようにしてもよい。

【0064】

またクロック供給制御回路 70 は、バスマスタとして機能する所与のバスマスタブロック 20（例えば CPU 22、高速 SRAM 24、MMU 26、キャッシュ 28、DMA 30 の少なくとも一つ）へのクロックの供給、停止を制御する本実施の形態の半導体回路として機能する。

【0065】

本実施の形態の半導体回路 70 は、制御信号生成回路 72 を含む。制御信号生成回路 72 は、半導体記憶媒体 90（例えば SRAM 92，SDRAM 94，ROM 96 等）に対するアクセス状況を示すアクセス状況情報に基づき、所与のバスマスタブロックへのクロックの供給又は停止を指示するためのクロック供給制御信号を生成する。

【0066】

本実施の形態の半導体回路 70 は、制御回路 74 を含む。制御回路 74 は、クロック供給制御信号に基づき、クロック発振器 60 から発振されたクロックの所与のバスマスタブロック 20 への供給又は停止を制御する。

【0067】

ここで前記制御信号生成回路 72 は、アクセス状況情報がアクセス実行中で有ることを示している場合には、バスマスタクロック供給制御信号をディセーブルにし、前記制御回路 74 は、バスマスタクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックが所与のバスマスタブロックへ供給されないように制御する回路を含むようにしてもよい。

【0068】

また、制御信号生成回路 72 は、アクセス状況情報がアクセス実行中でないことを示している場合には、バスマスタクロック供給制御信号をイネーブルにし、前記制御回路 74 は、バスマスタクロック供給信号がイネーブルである場合には、クロック発振器から発振されたクロックが所与のバスマスタブロックへ供給されるように制御する回路を含むようにしてもよい。

【0069】

バスインタフェース 40 は、異なる半導体記憶媒体へのアクセス実行時に共通してアクセス制御に必要な動作を行う共通バスインタフェースブロック 42 と、所定の半導体記憶媒体へのアクセス実行時にのみアクセス制御に必要な動作を行う専用バスインタフェースブロック 44，46，・・・を含むように構成してもよい。

【0070】

この場合クロック供給制御回路 70 は、バスインタフェースブロックがどの半

導体記憶媒体がアクセス実行対象であることを示すアクセス媒体情報 52 に基づきアクセス実行対象でない半導体記憶媒体を検出し、アクセス実行対象でない半導体記憶媒体の専用バスインターフェースブロックへのクロックの供給をストップさせ、共通バスインターフェースブロック 42 と、アクセス実行対象である半導体記憶媒体の専用バスインターフェースブロックにクロックが供給されるように制御するようにしてもよい。

【0071】

例えば制御信号生成回路 72 が、バスインターフェースブロックがどの半導体記憶媒体に対しアクセス実行対象であることを示すアクセス媒体情報 52 に基づきアクセス実行対象でない半導体記憶媒体を検出し、アクセス実行対象でない半導体記憶媒体の専用バスインターフェースクロック供給制御信号をディセーブルにし、前記制御回路 74 は、専用バスインターフェースクロック供給信号がディセーブルである場合には、クロック発振器から発振されたクロックがアクセス実行中でない半導体記憶媒体の専用バスインターフェースブロックへ供給されないように制御するようにしてもよい。

【0072】

図 2 は本実施の形態の制御信号生成回路 72 の構成の一例について説明するための図である。また図 3 は図 2 の各信号のタイミングチャート図である。

【0073】

34 はバスマスタ 90（例えば CPU 22 やキャッシュ 24 や MMU 26 や DMA 30）からバスインターフェースに対し出力される半導体記憶媒体アクセス（リード／ライト）のリクエスト信号である。

【0074】

50 は BUSY 情報であり、ここではバスインターフェースの BUSY 状態／アイドル状態を示す情報である 1 ビットの情報を使用する。

【0075】

52 はアクセス媒体情報であり、アクセス実行状態にある半導体記憶媒体を特定するための情報であり、ここでは 2 ビットの情報を使用する。例えば '00' であれば第 1 の半導体記憶媒体（例えば SRAM）、'01' であれば第 2 の半

導体記憶媒体（例えばSDRAM）、・・・等対応づけておくことが出来る。

【0076】

54はバリット信号であり、バスインターフェースがアクセスしたデータをバス上で送信する際にたてる信号である。

【0077】

共通バスインターフェースクロック供給制御信号110は、共通バスインターフェースへのクロックの供給又は停止を指示するための信号である。

【0078】

第1の半導体記憶媒体専用バスインターフェースクロック供給制御信号120は、第1の半導体記憶媒体専用バスインターフェースへのクロックの供給又は停止を指示するための信号である。

【0079】

第2の半導体記憶媒体専用バスインターフェースクロック供給制御信号130は、第2の半導体記憶媒体専用バスインターフェースへのクロックの供給又は停止を指示するための信号である。

【0080】

バスマスタクロック供給制御信号140は、バスマスタとして機能するCPUやMMUやキャッシュ等へのクロックの供給又は停止を指示するための信号である。

【0081】

制御信号生成回路72は、第1のOR回路180を含む。第1のOR回路180は、リクエスト信号43と第2のOR回路188の出力信号189のOR条件をとって共通バスインターフェースクロック供給制御信号を出力する。

【0082】

制御信号生成回路72は、第2のOR回路188を含む。第2のOR回路188は、バリット信号54とBUSY情報（信号）のOR条件をとって出力信号190を生成する。

【0083】

制御信号生成回路72は、第3のOR回路182を含む。第3のOR回路18

2 は、リクエスト信号 43 と第 1 の AND 回路 190 の出力信号 191 の OR 条件をとって第 1 の半導体記憶媒体クロック供給制御信号 120 を生成する。

【0084】

制御信号生成回路 72 は、第 4 の OR 回路 184 を含む。第 4 の OR 回路 184 は、リクエスト信号 43 と第 2 の AND 回路 192 の出力信号 193 の OR 条件をとって第 2 の半導体記憶媒体クロック供給制御信号 130 を生成する。

【0085】

制御信号生成回路 72 は、第 1 の AND 回路 190 を含む。第 1 の AND 回路 190 は、第 2 の OR 回路 188 の出力信号 189 と第 1 の比較回路 194 の出力信号 185 の AND 条件で出力信号 191 を生成する。

【0086】

制御信号生成回路 72 は、第 2 の AND 回路 192 を含む。第 2 の AND 回路 192 は、第 2 の OR 回路 188 の出力信号 189 と第 2 の比較回路 196 の出力信号 187 の AND 条件で出力信号 193 を生成する。

【0087】

制御信号生成回路 72 は、インバータ回路 186 を含む。インバータ回路 186 は、BUSY 情報（信号）の NOT 条件をとってバスマスタクロック供給制御信号 140 を生成する。

【0088】

本実施の形態によれば、バスマスタのリクエスト中（図 3 の 310 参照）又はバスインターフェースが BUSY 状態（図 3 の 320 参照）又はバスインターフェースがバリット信号出力中（図 3 の 330 参照）は共通バスインターフェース供給制御信号がイネーブル（H レベル）（図 3 の 340 参照）になるため、共通バスインターフェースにクロックを供給することが出来る（図 3 の 350 参照）。

【0089】

またバスマスタのリクエスト中又はバスインターフェースが BUSY 状態又はバスインターフェースがバリット信号出力中のいずれでもない場合は共通バスインターフェース供給制御信号をディセーブル（L レベル）にして、共通バスイン

ターフェースへのクロックの供給をストップするようにしてもよい。

【0090】

またバスマスタのリクエスト中（図3の310参照）及びバスインターフェースがBUSY状態（図3の320参照）及びバスインターフェースがバリット信号出力中（図3の330参照）に、アクセス実行対象となっている半導体記憶媒体の専用バスインターフェース供給制御信号がON（例えばH）（図3の360参照）になるため、アクセス実行対象となっている半導体記憶媒体の専用バスインターフェースにクロックを供給することが出来る（図3の360参照）。

【0091】

またアクセス実行対象となっていない半導体記憶媒体の専用バスインターフェース供給制御信号をディセーブル（Lレベル）にすることで、アクセス実行対象となっている半導体記憶媒体の専用バスインターフェースへのクロックの供給をストップするようにしてもよい。

【0092】

また本実施の形態によれば、バスインターフェースがBUSY状態でない期間（図3の380、382参照）はバスマスタ供給制御信号がディセーブル（Hレベル）（図3の390、392参照）になるため、バスマスタにクロックを供給することが出来る（図3の400、402参照）。

【0093】

また、バスインターフェースがBUSY状態である期間はバスマスタ供給制御信号をディセーブル（Lレベル）にして、バスマスタへクロック供給をストップするようにしてもよい。

【0094】

なお例えばバスマスタからのリクエスト信号がHレベルになったら、一旦バスインターフェースブロックに属するすべてのブロックのバスインターフェースクロック供給制御信号をイネーブル（Hレベル）にするようにしてもよい。このようにするとアクセス実行対象以外の半導体記憶媒体の専用バスインターフェースクロック供給制御信号もイネーブル（Hレベル）（図3の410参照）、リクエスト要求に素早く対応出来るという効果がある。

【0095】

図4は本実施の形態の制御回路74の構成の一例について説明するための図である。また図5は図4の各信号のタイミングチャート図である。

【0096】

制御回路74は、バスマスタ用制御回路210を含む。バスマスタ用制御回路210は、バスマスタクロック供給制御信号140及びクロック発振器が発振したクロック62に基づき、CPU等のバスマスタブロック20へのクロック32の供給又は停止を制御する。バスマスタ用制御回路210は、例えばラッチ回路212とアンド回路216を含むよう構成してもよい。ここでラッチ回路212はバスマスタクロック供給制御信号140及びクロック発振器が発振したクロック62に基づき、マスク信号214を生成し、アンド回路216はマスク信号214とクロック62のアンド条件を取って、バスマスタブロック20へ供給するクロック32を生成するようにしてもよい（図5参照）。

【0097】

制御回路74は、共通バスインターフェース用制御回路220を含む。共通バスインターフェース用制御回路220は、共通バスインターフェースクロック供給制御信号110及びクロック発振器が発振したクロック62に基づき、共通バスインターフェースブロック42へのクロック82の供給又は停止を制御する。共通バスインターフェース用制御回路220は、例えばラッチ回路222とアンド回路226を含むよう構成してもよい。ここでラッチ回路222は共通バスインターフェースクロック供給制御信号110及びクロック発振器が発振したクロック62に基づき、マスク信号224を生成し、アンド回路226はマスク信号224とクロック62のアンド条件を取って、共通バスインターフェースブロック42へ供給するクロック82を生成するようにしてもよい。

【0098】

制御回路74は、第1の半導体記憶媒体専用バスインターフェース用制御回路230を含む。第1の半導体記憶媒体専用バスインターフェース用制御回路230は、第1の半導体記憶媒体専用バスインターフェースクロック供給制御信号120及びクロック発振器が発振したクロック62に基づき、第1の半導体記憶媒

体専用バスインターフェースブロック 44 へのクロック 78 の供給又は停止を制御する。第 1 の半導体記憶媒体専用バスインターフェース用制御回路 230 は、例えばラッチ回路 232 とアンド回路 236 を含むよう構成してもよい。ここでラッチ回路 232 は第 1 の半導体記憶媒体専用バスインターフェースクロック供給制御信号 120 及びクロック発振器が発振したクロック 62 に基づき、マスク信号 234 を生成し、アンド回路 236 はマスク信号 234 とクロック 62 のアンド条件を取って、第 1 の半導体記憶媒体専用バスインターフェースブロック 44 へ供給するクロック 78 を生成するようにしてもよい。

【0099】

制御回路 74 は、第 n の半導体記憶媒体専用バスインターフェース用制御回路 240 を含む。第 n の半導体記憶媒体専用バスインターフェース用制御回路 240 は、第 n の半導体記憶媒体専用バスインターフェースクロック供給制御信号 130 及びクロック発振器が発振したクロック 62 に基づき、第 n の半導体記憶媒体専用バスインターフェースブロック 48 へのクロック 76 の供給又は停止を制御する。第 n の半導体記憶媒体専用バスインターフェース用制御回路 240 は、例えばラッチ回路 242 とアンド回路 246 を含むよう構成してもよい。ここでラッチ回路 242 は第 n の半導体記憶媒体専用バスインターフェースクロック供給制御信号 130 及びクロック発振器が発振したクロック 62 に基づき、マスク信号 244 を生成し、アンド回路 246 はマスク信号 244 とクロック 62 のアンド条件を取って、第 n の半導体記憶媒体専用バスインターフェースブロック 48 へ供給するクロック 76 を生成するようにしてもよい。

【0100】

図 6 は所与のバスマスタブロックにクロックが供給される期間とバスインターフェースブロックにクロックが供給される期間について説明するための図である。

【0101】

同図に示すように、リクエスト信号 34 が H レベルから L レベルに変化してからバスマスタクロック供給制御信号 140 を L レベル（ディセーブル）にすることで、バスマスタブロックの出力するリクエスト要求の終了後に、バスマスタブ

ロックに供給されるクロックをストップさせることが出来る。

【0102】

ここでバスマスタブロックのリクエスト要求の終了後とは、バスマスタブロック出力するリクエスト要求信号がリクエスト要求を下げた場合（例えばリクエスト信号34がHからLに変化した場合）等である。

【0103】

またバスマスタブロックのリクエスト要求の終了後にバスマスタブロックに供給するクロックを停止させるためには、例えばバスマスタブロックのリクエスト要求の終了を検出してから（例えばリクエスト信号34がHレベルからLレベルに変化したのを検出してから）バスマスタブロックへのクロックの供給をストップさせるようにしてもよい。

【0104】

またバスインタフェースブロックが非BUSY状態からBUSY状態に変化してから（BUSY信号がLレベルからHレベルに変化してから）又は変化後少なくとも1クロック経過してから（この間にバスマスタブロックのリクエスト要求が終了する）バスマスタブロックへ供給するクロック32をストップさせるようにしてもよい。

【0105】

このようにすることでバスマスタがリクエスト信号をさげるまで（312参照）バスマスタにクロックを供給することが出来る（310参照）。

【0106】

またBUSY信号が非BUSY状態（アイドル状態）に有る場合やバリット信号54がたった（LレベルからHレベルに変化）するタイミングで、バスマスタクロック供給制御信号140をHレベルにすることで、待ちの状態が終了したバスマスタに対してクロックを供給させることが出来る（320参照）。

【0107】

また同図に示すようにバスインターフェースブロックの出力するバリット信号54終了後に（バリット信号がHレベルLレベルに変化してから）（330参照）、バスインターフェースクロック供給制御信号140をLレベル（ディセーブル

）にすることで（332参照）、バスインターフェースブロックへのクロック 82の供給をストップさせることが出来る（334参照）。

【0108】

なおここでバスインターフェースブロックとは共通バスバスインターフェースブロックでもよいし、専用バスバスインターフェースブロックでもよい。またインターフェースクロック供給制御信号とは、共通バスバスインターフェースクロック供給制御信号でもよいし、専用バスインターフェースクロック供給制御信号でもよい。

【0109】

バスインターフェースブロックがバリット信号54を出力後にバスインターフェースブロックに供給するクロックを停止させるとは、例えばバスインターフェースブロックがバリット信号54を出力したのを検出してからバスインターフェースブロックに供給するクロックを停止させるようにしてもよいし、またバスインターフェースブロックがBUSY状態から非BUSY状態に変化してから（BUSY信号がHレベルからLレベルに変化してから）又は変化後少なくとも1クロック以上経過してから（この間にバスインターフェースブロックがバリット信号を出力する）バスインターフェースブロックに供給するクロックを停止させる場合でもよい。

【0110】

このようにすることでバスインターフェースがバリット信号54をさげるまで（330参照）バスインターフェースブロックにクロックを供給することが出来る（334参照）。

【0111】

またリクエスト信号34がたった（LレベルからHレベルに変化）タイミングで（314参照）、バスインターフェースクロック供給制御信号140をHレベルにすることで（350参照）、バスインターフェースに対してクロックを供給させることが出来る（352参照）ので、バスマスタからのリクエスト要求に迅速に対応して動作することが出来る。

【0112】

3. マイクロコンピュータ

図7は、本実施の形態の半導体装置又は半導体回路を含むマイクロコンピュータのハードウェアブロック図の一例である。

【0113】

本マイクロコンピュータ700は、CPU510、キャッシュメモリ520、メモリマネジメントユニット(MMU)730、LCDコントローラ530、リセット回路540、プログラマブルタイマ550、リアルタイムクロック(RTC)560、DMAコントローラF570、割り込みコントローラ580、通信制御回路590、バスコントローラ600、A/D変換器610、D/A変換器620、入力ポート630、出力ポート640、I/Oポート650、クロック発生装置660、プリスケータ670、クロック供給制御回路740及びそれらを接続する各種バス680等、各種ピン690等を含む。

【0114】

ここでクロック供給制御回路740は、例えば図1～図6で説明したような構成を有している。

【0115】

4. 電子機器

図8に、本実施の形態の電子機器のブロック図の一例を示す。本電子機器800は、マイクロコンピュータ(またはASIC)810、入力部820、メモリ830、電源生成部840、LCD850、音出力部860を含む。

【0116】

ここで、入力部820は、種々のデータを入力するためのものである。マイクロコンピュータ810は、この入力部820により入力されたデータに基づいて種々の処理を行うことになる。メモリ830は、マイクロコンピュータ810などの作業領域となるものである。電源生成部840は、電子機器800で利用される各種電源を生成するためのものである。LCD850は、電子機器が表示する各種の画像(文字、アイコン、グラフィック等)を出力するためのものである。音出力部860は、電子機器800が出力する各種の音(音声、ゲーム音等)を出力するためのものであり、その機能は、スピーカなどのハードウェアによ

り実現できる。

【0117】

ここでマイクロコンピュータ（またはASIC）810は、例えば図7で説明したような構成を有している。

【0118】

図9（A）に、電子機器の1つである携帯電話950の外観図の例を示す。この携帯電話950は、入力部として機能するダイヤルボタン952や、電話番号や名前やアイコンなどを表示するLCD954や、音出力部として機能し音声を出力するスピーカ956を備える。

【0119】

図9（B）に、電子機器の1つである携帯型ゲーム装置960の外観図の例を示す。この携帯型ゲーム装置960は、入力部として機能する操作ボタン962、十字キー964や、ゲーム画像を表示するLCD966や、音出力部として機能しゲーム音を出力するスピーカ968を備える。

【0120】

図9（C）に、電子機器の1つであるパーソナルコンピュータ970の外観図の例を示す。このパーソナルコンピュータ970は、入力部として機能するキーボード972や、文字、数字、グラフィックなどを表示するLCD974、音出力部976を備える。

【0121】

なお、本実施形態を利用できる電子機器としては、図9（A）、（B）、（C）に示すもの以外にも、携帯型情報端末、ページャー、電子卓上計算機、タッチパネルを備えた装置、プロジェクタ、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置等のLCDを使用する種々の電子機器を考えることができる。

【0122】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【0123】

本実施の形態では、クロック供給制御回路が、バスマスタへのクロックの供給の有無の制御及びバスインターフェースへのクロックの供給の有無の制御の両方を行う場合を例にとり説明した、例えばいずれか一方の制御のみを行う場合でもよい。

【図面の簡単な説明】

【図 1】 本実施の形態の半導体装置、半導体回路の一例について説明するための図である。

【図 2】 本実施の形態の制御信号生成回路の構成の一例について説明するための図である。

【図 3】 図 2 の各信号のタイミングチャート図である。

【図 4】 本実施の形態の制御回路の構成の一例について説明するための図である。

【図 5】 図 4 の各信号のタイミングチャート図である。

【図 6】 所与のバスマスタブロックにクロックが供給される期間とバスインターフェースブロックにクロックが供給される期間について説明するための図である。

【図 7】 本実施の形態の半導体装置又は半導体回路を含むマイクロコンピュータのハードウェアブロック図の一例である。

【図 8】 マイクロコンピュータを含む電子機器のブロック図の一例を示す。

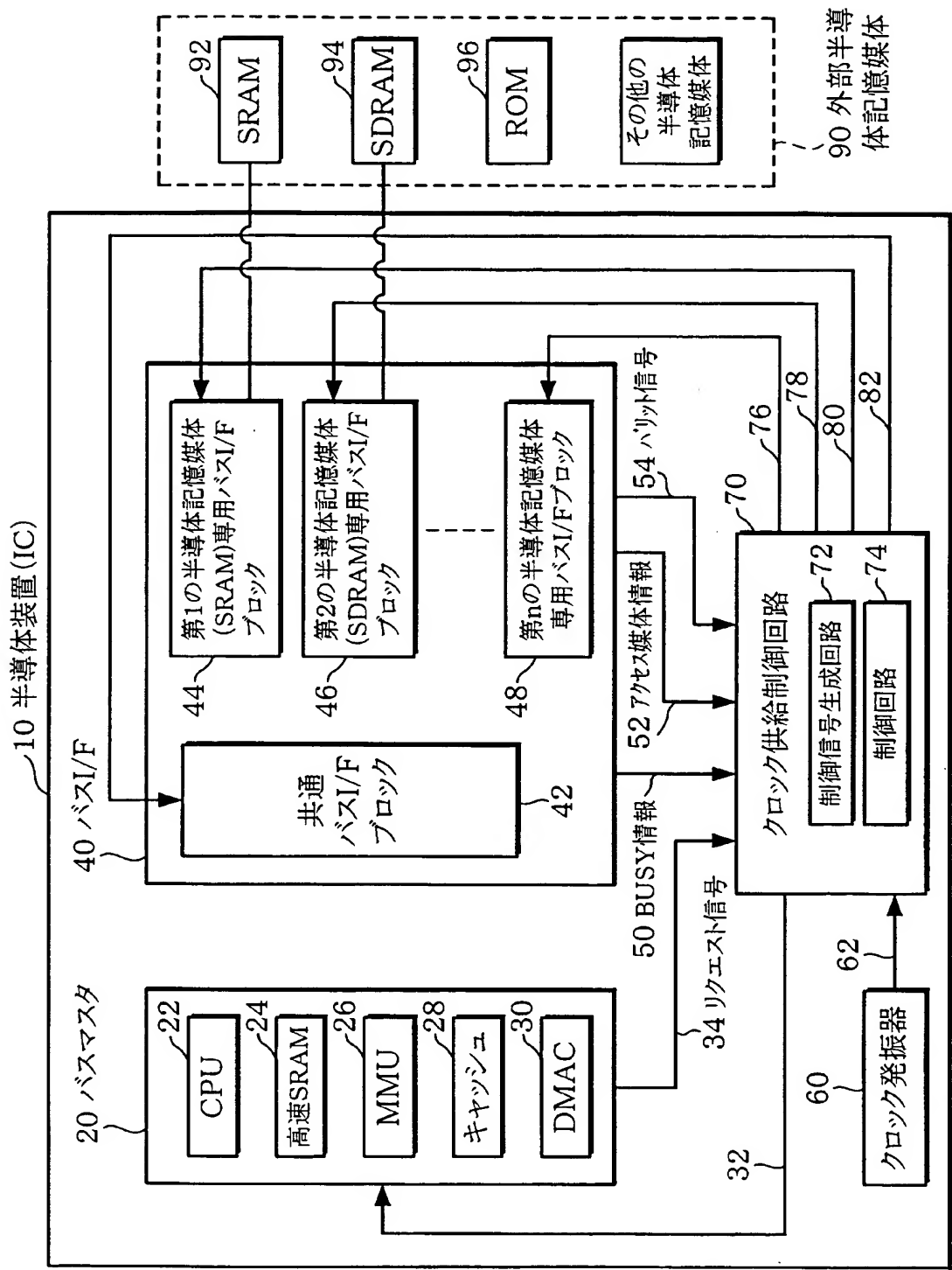
【図 9】 図 9 (A) (B) (C) は、種々の電子機器の外観図の例である。

【符号の説明】

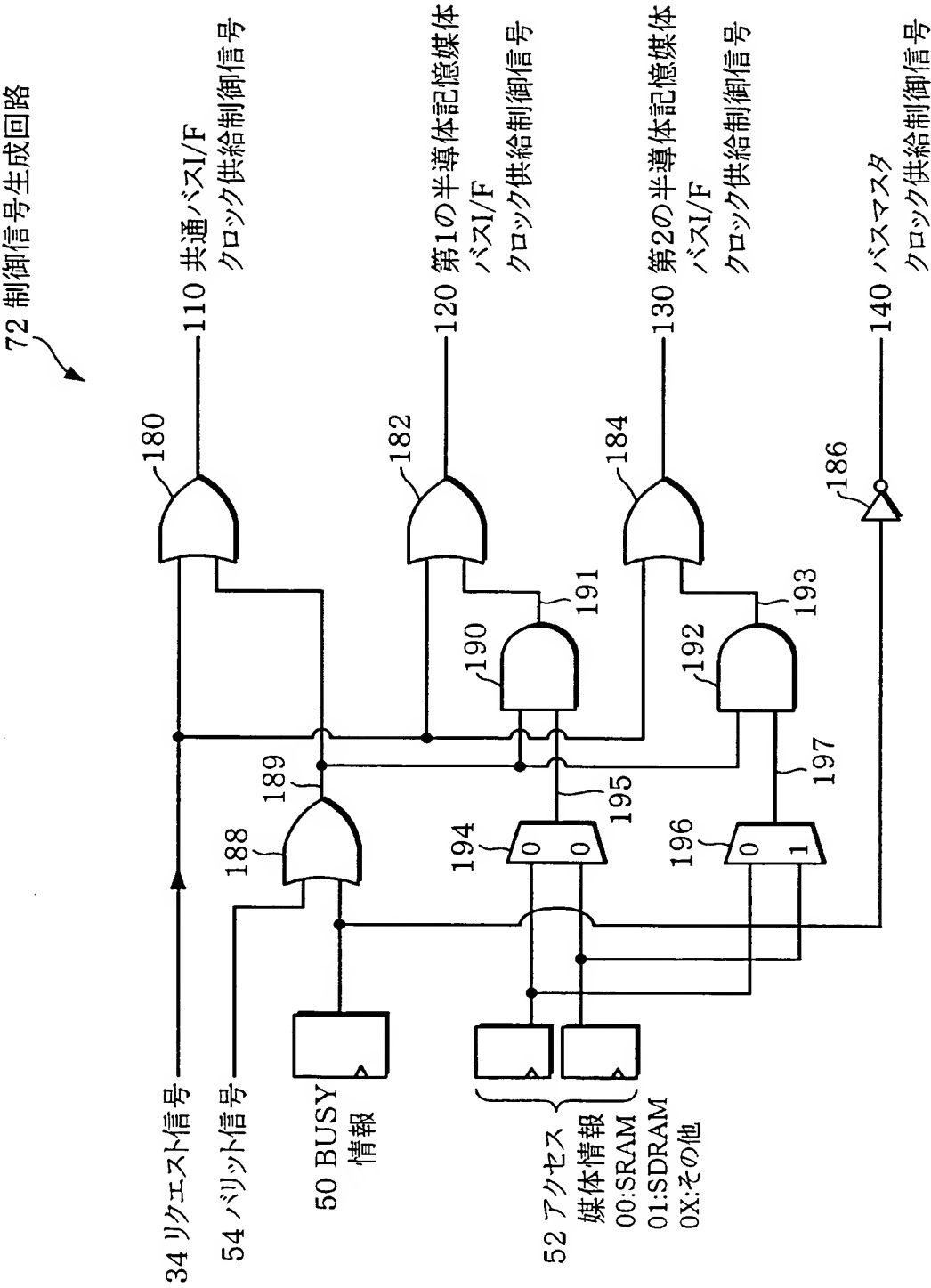
- 10 半導体装置、 20 バスマスタ、 22 CPU、
- 24 高速SRAM、 26 MMU、 28 キャッシュ、
- 30 DMAC、 32 バスマスタへ供給されるクロック、
- 34 リクエスト信号、 40 バスインターフェース、
- 42 共通バスインターフェース、
- 44 第1の半導体記憶媒体専用バスインターフェース、

46 第2の半導体記憶媒体専用バスインターフェース、
48 第nの半導体記憶媒体専用バスインターフェース、
50 B U Z Y情報、 52 アクセス媒体情報、 54 バリット信号、
60 クロック発振器、 70 クロック供給制御回路、
72 制御信号生成回路、 74 制御回路、
76 第nの半導体記憶媒体専用バスインターフェースへ供給されるクロック、
78 第2の半導体記憶媒体専用バスインターフェースへ供給されるクロック、
80 第1の半導体記憶媒体専用バスインターフェースへ供給されるクロック、
82 共通バスインターフェースへ供給されるクロック、
90 半導体記憶媒体、
110 共通バスインターフェースクロック供給制御信号
120 第1の半導体記憶媒体専用バスインターフェースクロック供給制御信号
130 第2の半導体記憶媒体専用バスインターフェースクロック供給制御信号
140 共通バスインターフェースクロック供給制御信号、
510 CPU、 530 LCDコントローラ、 540 リセット回路、
550 プログラマブルタイマ、 560 リアルタイムクロック (R T C)、
570 DMAコントローラ、 580 割り込みコントローラ、
590 通信制御回路、 600 バスコントローラ、 610 A/D変換器
620 D/A変換器、 630 入力ポート、 640 出力ポート、
650 I/Oポート、 660 クロック発生装置 (P L L)、
670 プリスケアラ、 680 各種バス、 690 各種ピン、
700 マイクロコンピュータ、 710 R O M、 720 R A M、
730 M M U、 740 クロック供給制御回路、 800 電子機器

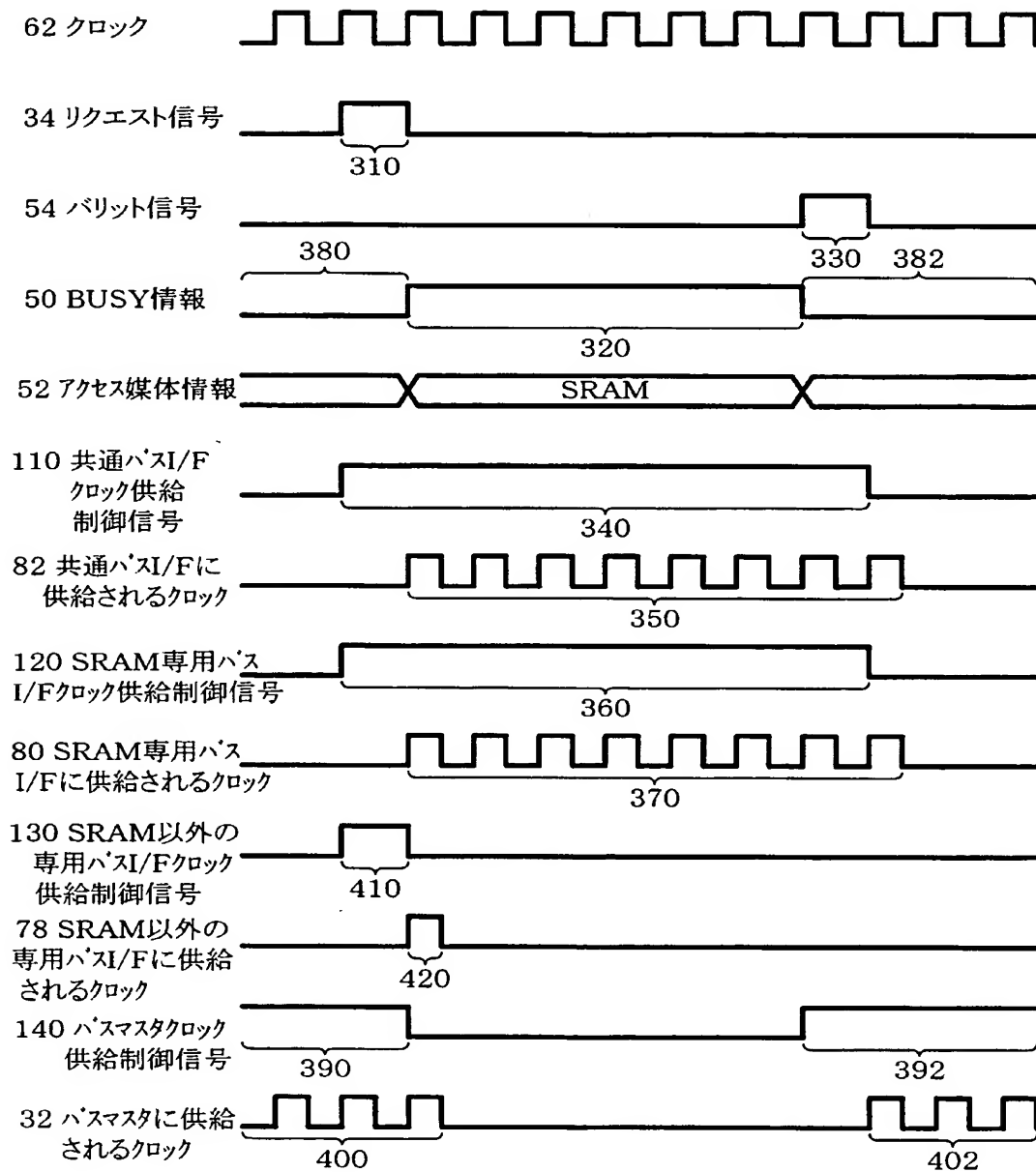
【書類名】 図面
【図1】



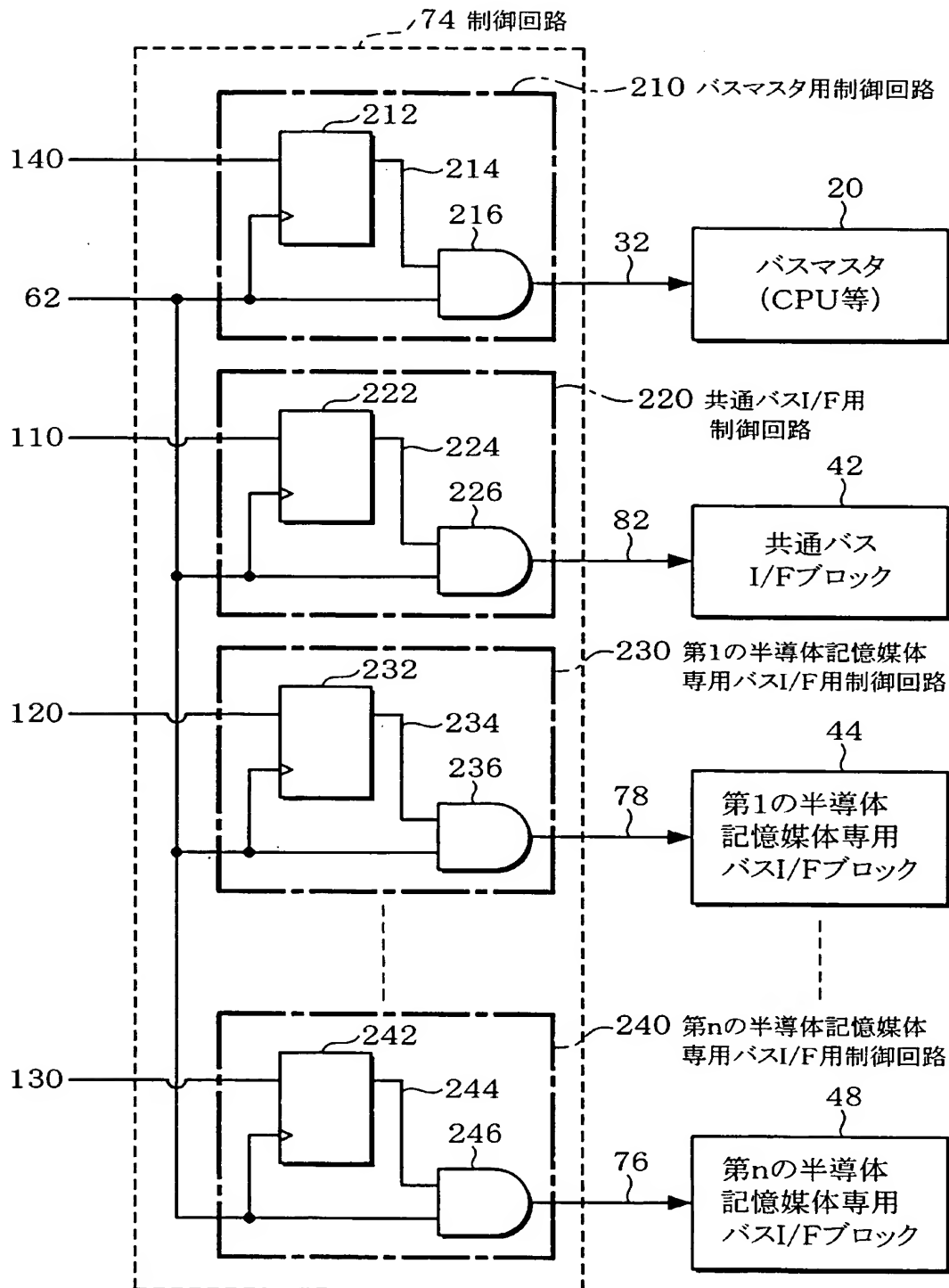
【図2】



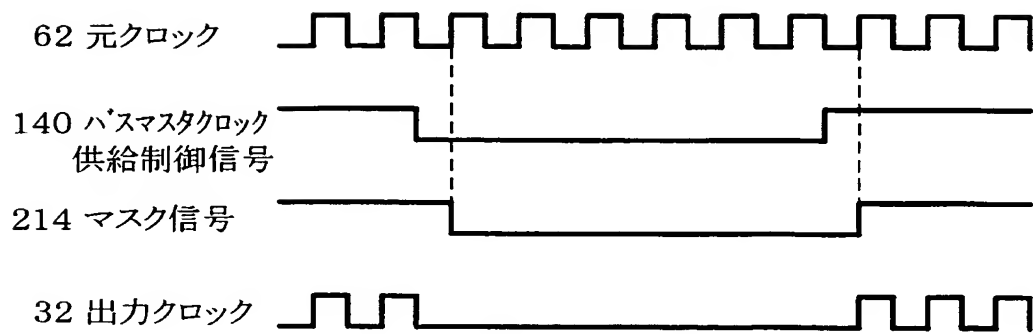
【図 3】



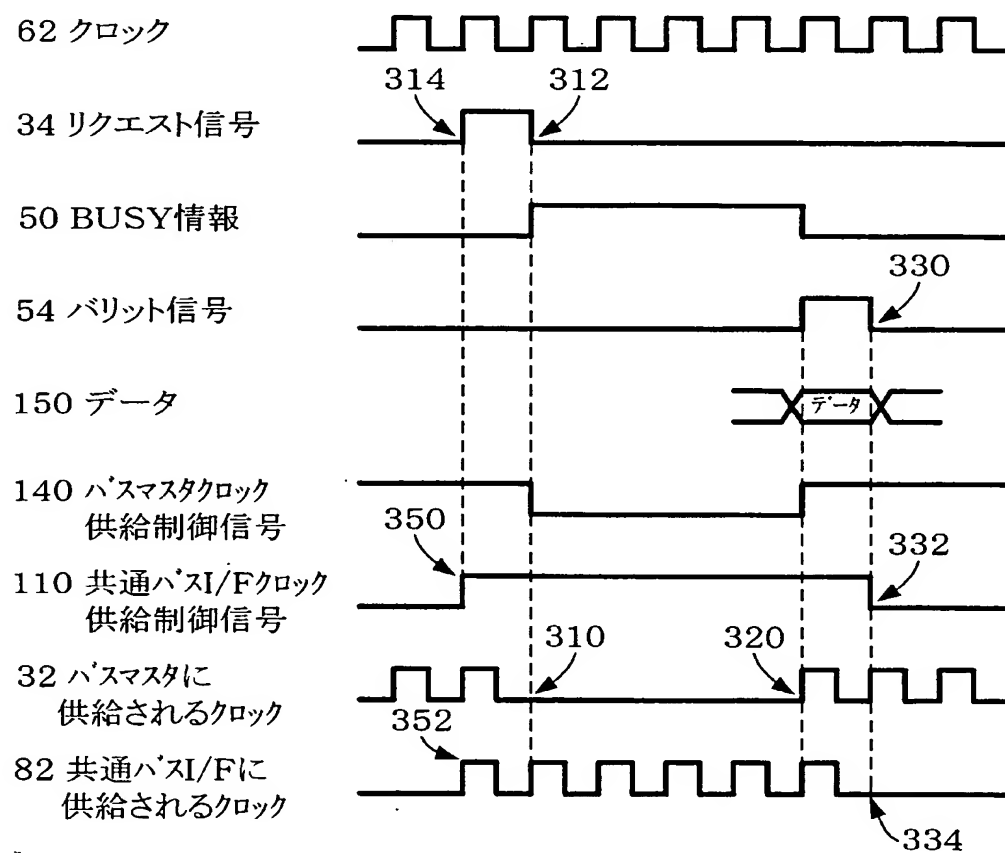
【図 4】



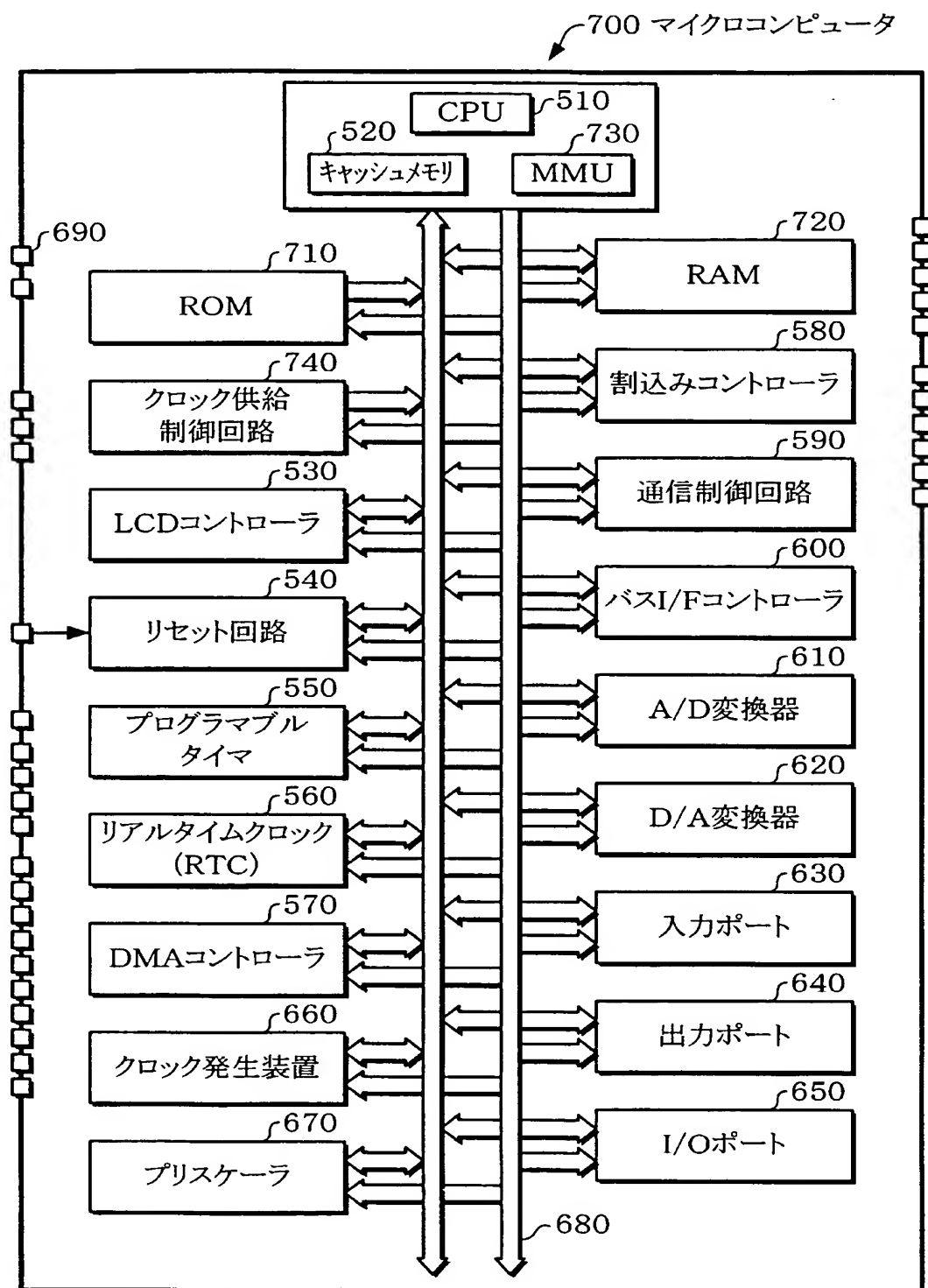
【図 5】



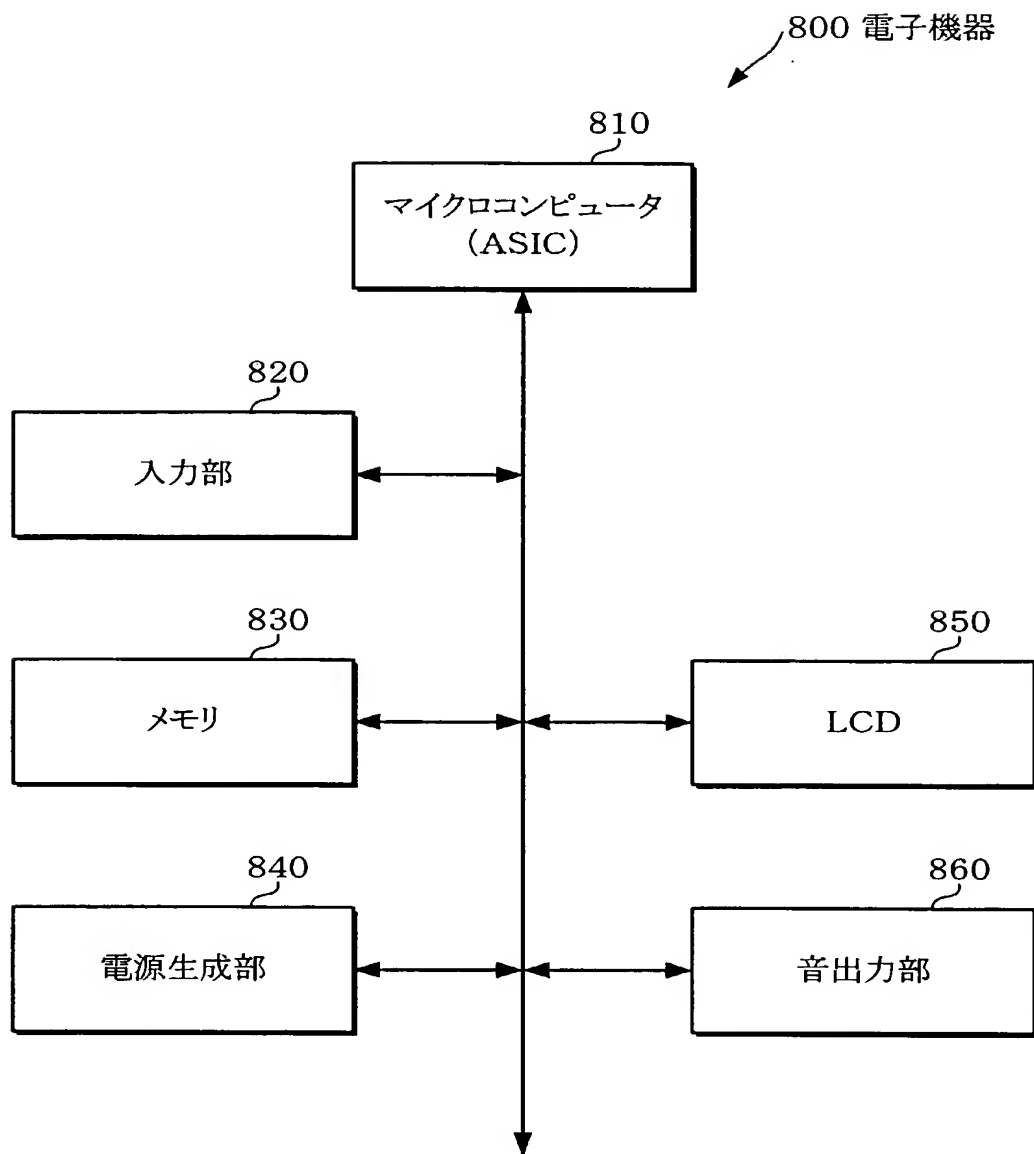
【図 6】



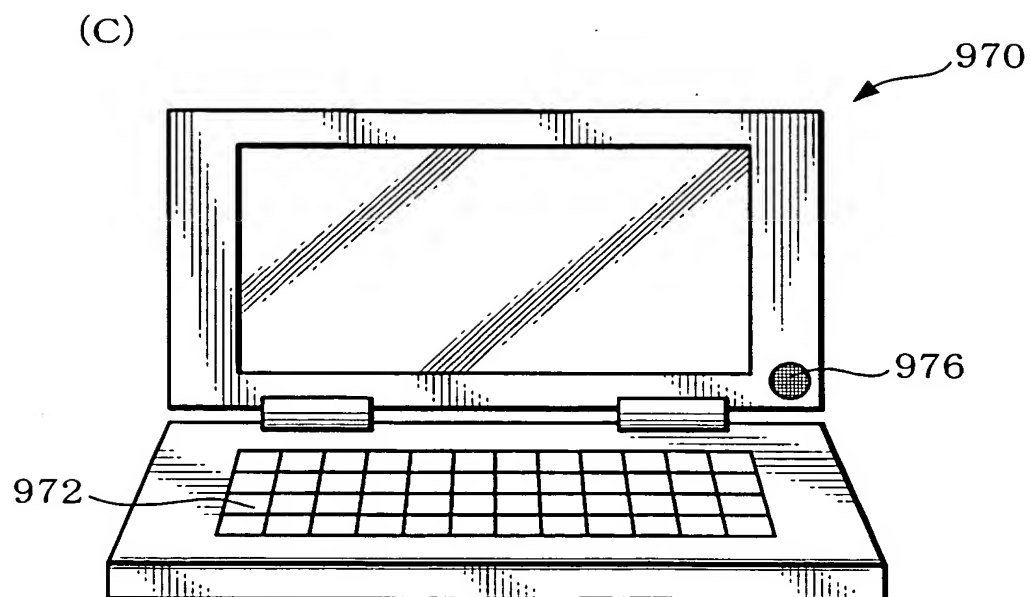
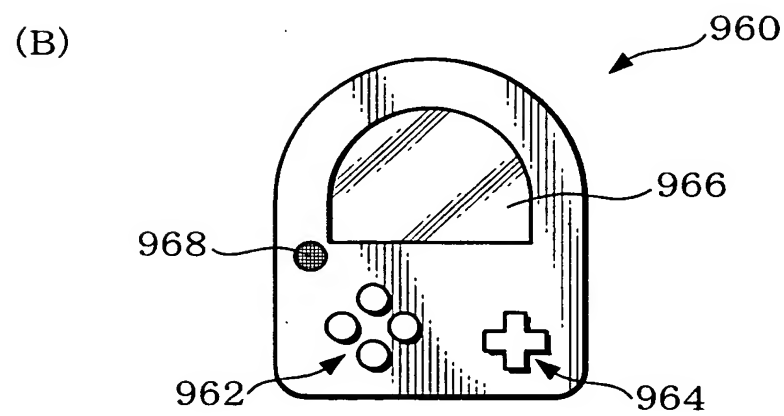
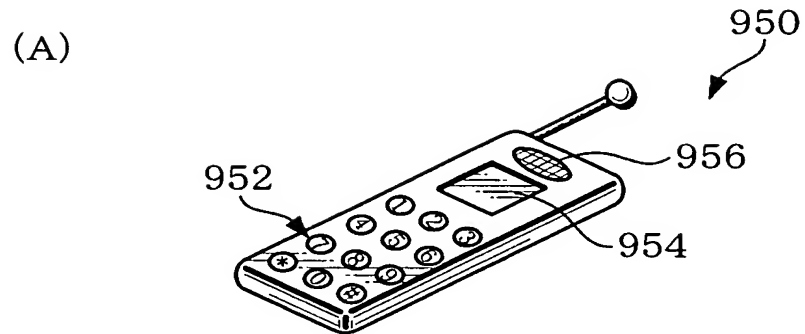
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 半導体記憶媒体へのアクセスを行う半導体装置の消費電力の削減を目的とする。

【解決手段】 半導体記憶媒体へのアクセスを行う半導体装置 1 0 である。バスマスタとして機能する所与のバスマスタ 2 0 と、バスマスタ 2 0 からのアクセス要求に基づき、半導体記憶媒体 9 0 のアクセス制御を行うバスインタフェース 4 0 と、半導体記憶媒体 9 0 に対するアクセス状況を示すアクセス状況情報 3 4, 5 0、5 2、5 4 に基づきバスマスタ 2 0 へのクロックの供給の有無を制御するクロック供給制御回路 7 0 とを含む。クロック供給制御回路 7 0 は、バスインタフェースが B U S Y 状態である場合にはバスマスタへのクロックの供給をストップさせ、バスインタフェースが B U S Y 状態でない場合にはバスマスタへクロックを供給させる。

【選択図】 図 1

特願 2 0 0 3 - 0 7 8 0 8 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社